

(21) Aktenzeichen: 199 49 782.6-35
 (22) Anmeldetag: 15. 10. 1999
 (43) Offenlegungstag: -
 (45) Veröffentlichungstag
der Patenterteilung: 12. 7. 2001

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

(73) Patentinhaber:
Texas Instruments Deutschland GmbH, 85356
Freising, DE

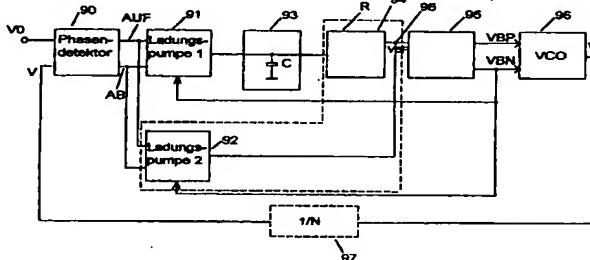
(74) Vertreter:
Prinz und Partner GbR, 81241 München

(72) Erfinder:
Dietl, Markus, 80469 München, DE; Seibold,
Hermann, 85410 Haag, DE

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
US 57 27 037
MANEATIS, John G. "Lo2-Jitter Process Independent DLL and PLL Based on Self-Biased Techniques". In: IEEE Journal of Solid-State Circuits, Vol.31 No.11, 1996, S.1723-1732;

(54) **PLL-Schaltung**

(55) Die Erfindung betrifft eine PLL-Schaltung mit einem Phasendetektor, einem Tiefpaßfilter mit Ladungspumpmechanismus und einem Ringoszillator mit mehreren Inverterstufen, die jeweils zwei Differenzpfade umfassen, die jeweils einen durch einen oder mehrere Transistoren nachgebildeten Widerstand, der durch eine der Steuerspannung entsprechende erste Vorspannung gesteuert wird, eine Ausgangskapazität, einen Differenzeingang und einen Differenzausgang umfassen, wobei beide Differenzpfade von einer gemeinsamen Stromquelle gespeist werden, die einer zweiten Vorspannung gesteuert wird. Eine Inverterstufenvorspannungserzeugungsschaltung erzeugt aus der Steuerspannung des Tiefpaßfilters die zweite Vorspannung, die die Stromquelle der Inverterstufen so einstellt, daß der nachgebildete Widerstand linear mit der Steuerspannung variiert, wobei die erste Vorspannung liefernde Ausgang der Schaltung einen Innenwiderstand aufweist, der sich entsprechend dem Widerstand der halben Inverterstufen verhält; und wobei das Tiefpaßfilter mit Ladungspumpmechanismus eine erste von dem Phasendetektor gesteuerte Ladungspumpe, einer mit der ersten Ladungspumpe verbundenen Tiefpaßkondensator und eine das Ausgangssignal des Tiefpaßkondensators empfangende weitere Schaltung umfaßt, die der Inverterstufenvorspannungserzeugungsschaltung im Aufbau entspricht, wobei der Innenwiderstand des die erste Vorspannung liefernden Ausgangs der weiteren Schaltung den Tiefpaßfilterwiderstand bildet und dieser Ausgang ...



DE 199 49 782 C 1

Beschreibung

Die Erfindung bezieht sich allgemein auf eine PLL-Schaltung (Nachlaufsynchronisationsschaltung, Phasenregelkreisschaltung oder englisch "phase locked loop") und insbesondere auf eine integrierte PLL-Schaltung, die eine Dämpfung aufweist, die von dem prozeßbedingten Zustand der integrierten Schaltungselemente der PLL-Schaltung, von der Temperatur sowie von Schwankungen der Versorgungsspannung und durch das Substrat der integrierten Schaltung eingebrachtem Rauschen weitgehend unabhängig ist.

PLL-Schaltungen werden verwendet, um die Frequenz f eines Oszillators so einzustellen, daß sie mit der Frequenz f_0 eines Bezugsoszillators übereinstimmt, ohne daß die Phasenverschiebung zwischen den beiden Frequenzen wegläuft.

Fig. 1 zeigt den typischen Aufbau einer bekannten PLL-Schaltung. Ein Phasendetektor 10 vergleicht die Phase des PLL-Ausgangssignals f mit der des Referenzsignals f_0 . Je nachdem, ob das PLL-Ausgangssignal f dem Referenzsignal f_0 vorausseilt oder hinterherhinkt, wird vom Phasendetektor ein Signal AUF oder AB abgegeben, wodurch die Ladungspumpe 12 veranlaßt wird, dem Tiefpaßfilter 14 Ladung zuzuführen oder diesem zu entziehen. Das Tiefpaßfilter 14 erzeugt eine zur Phasenverschiebung proportionale Steuerspannung V_s , die an einen spannungsgesteuerten Oszillator VCO (Voltage Controlled Oscillator) 16 angelegt wird. Der VCO oszilliert derart, daß – gegebenenfalls in Verbindung mit einem nachgeschalteten Frequenzteiler 18 – ein Signal mit einer sich entsprechend der durch das Tiefpaßfilter 14 zugeführten VCO-Steuerspannung veränderten Frequenz f ausgegeben wird, die schließlich mit der Frequenz des Referenzsignals f_0 übereinstimmt. PLL-Schaltungen gemäß dem Muster der Fig. 1, bei denen eine Ladungspumpe verwendet wird, sind z. B. von Floyd M. Gardner in dem Artikel "Charge-Pump Phase-Lock Loops" in IEEE Transactions on Communications, Vol. COM-28, No. 11, November 1980 beschrieben.

Bei heutzutage in zunehmendem Maße benötigten schnellen Digitalschaltungen werden als VCOs der PLL-Schaltungen bevorzugt Ringszillatoren verwendet, die aus einer Kaskadenschaltung einer Reihe von gleichen Inverterschaltungen mit direkter Rückkopplung des Ausgangs auf den Eingang bestehen. Die Schwingungsfrequenz des von dem Ringszillator ausgegebenen Signals hängt dabei von der Laufzeit in den einzelnen Inverterstufen ab, die sich über Steuerspannungen einstellen läßt, die an die einzelnen Inverterstufen angelegt werden. Die einzelnen Inverterstufen werden dabei in der Regel nicht direkt von der Ausgangsspannung des Tiefpasses der PLL-Schaltung gesteuert, sondern von einer speziellen Inverterstufenvorspannungserzeugungsschaltung (engl. "bias generator"), die die Ausgangsspannung des Tiefpasses als Eingangsspannung empfängt und daraus eine oder mehrere Steuerspannungen erzeugt, die an die einzelnen Inverterstufen angelegt werden, um die Laufzeit der einzelnen Inverterstufen und damit die Frequenz des Ausgangssignals des VCOs einzustellen.

Die Fig. 2 zeigt eine derartige bekannte aus einer Inverterstufenvorspannungserzeugungsschaltung 20 und einem Ringszillator bestehende Schaltung. Dabei empfängt die Inverterstufenvorspannungserzeugungsschaltung 20 das Eingangssignal V_c und erzeugt daraus die beiden Steuersignale VBP und VBN, die die Laufzeit in den drei Inverterdifferenzstufen 22, 24 und 26 des Ringszillators und damit die Frequenz des Ausgangssignals des Ringszillators steuern. Das Ausgangssignal (UA1, UA2) des Ringszillators wird, ggf. in weiterverarbeiteter Form, dem Phasendetektor oder einem Frequenzteiler zugeführt.

Eine derartige PLL-Schaltung mit Ringszillator und Inverterstufenvorspannungserzeugungsschaltung (engl. "bias generator") ist in dem Artikel "Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques" von John G. Maneatis in IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol. 31, No. 11, November 1996 beschrieben worden. Dieser Artikel wird im folgenden der Einfachheit halber als "Maneatis" zitiert.

Maneatis beschreibt eine besondere Inverterstufe und eine speziell daran angepaßte Inverterstufenvorspannungserzeugungsschaltung, die dazu dienen sollen, die Abhängigkeiten des Verstärkungsfaktors K_0 des VCOs und damit der Dämpfung ζ und der Eigenfrequenz ω_n von den prozeßbedingten Schwankungen der Parameter der Schaltungselemente der PLL-Schaltung, der Temperatur sowie Schwankungen der Versorgungsspannung und durch das Substrat der integrierten Schaltung eingebrachtem Rauschen zu verringern. Der Verstärkungsfaktor K_0 des VCOs läßt sich durch die folgenden Gleichungen definieren:

$$K_0 = \frac{d\omega}{dV_s} \quad (1a)$$

50

oder

55

$$K_0' = \frac{df}{dV_s} \quad (1b)$$

60 Dabei ist f die von der PLL-Schaltung ausgegebene Ausgangsfrequenz, ω die zugehörige Kreisfrequenz und V_s die vom Tiefpaßfilter in Verbindung mit der vom Phasendetektor gesteuerten Ladungspumpe (siehe die Fig. 1) gelieferte Ausgangsspannung.

Die Fig. 3 zeigt die von Maneatis in der genannten Druckschrift beschriebene Inverterdifferenzstufe des Ringszillators, die in jedem ihrer beiden Zweige einen durch jeweils zwei PMOS-FETs MPR1, MPR2 bzw. MPR3, MPR4, deren Source-Drain-Strecken parallel geschaltet sind und von denen jeweils einer (MPR1 bzw. MPR4) als Diode geschaltet ist, während der andere (MPR2 bzw. MPR3) an seinem Gateanschluß durch die Vorspannung VBP gesteuert wird, nachgebildeten Widerstand RP bzw. RN. Die Widerstände sind mit den Differenzausgängen VAUSP bzw. VAUSN, die die Inverterdifferenzstufe mit der nächsten Inverterdifferenzstufe in der Inverterkaskadenschaltung verbinden, und mit der

Source-Drain-Strecke der als Schalter wirkenden NMOS-FETs MNS1 bzw. MNS2 verbunden, die an ihrem jeweiligen Gate-Anschluß die Eingangsdifferenzspannungen VINV bzw. VINP von den Ausgängen der in der Inverterkaskaden-schaltung vorhergehenden Inverterdifferenzstufe empfangen. Die Differenzausgänge VAUSP bzw. VAUSN sind mit nicht dargestellten Ausgangskapazitäten CAUSP bzw. CAUSN verbunden, die durch die Gatefläche der NMOS-FETs MNS1 bzw. MNS2 der nächsten Inverterstufe sowie durch die Länge der Zuleitungen bestimmt sind. Beide Zweige jeder Inverterdifferenzstufe werden von einer spannungsgesteuerten und einen Strom $2 \cdot Id$ liefernden Stromquelle gespeist, die aus einem NMOS-FET MNIS besteht, an dessen Gateanschluß die Vorspannung VBN anliegt. Die an jeder Inverterdifferenzstufe des Ringoszillators anliegenden Vorspannungen (= Steuerspannungen) VBP und VBN werden von der in der Fig. 5 dargestellten Invertervorspannungserzeugungsschaltung erzeugt, die später erläutert werden wird.

Während des Betriebs der Inverterdifferenzstufe wird nun der Schalter MNS1 periodisch geschlossen und geöffnet, wobei sich der Schalter MNS2 jeweils in dem anderen Schaltzustand befindet. Wenn z. B. MNS1 gerade geschlossen wurde, wird die Kapazität CAUSP geladen, bis $Id \cdot RP = VAUSP$ ist, wobei VAUSP die am Ausgang VAUSP der Inverterdifferenzstufe anliegende Spannung ist. Während dieser Zeit wird die Kapazität CAUSN entladen, bis VAUSN = 0 V ist. An dem Punkt, an dem sich die Spannungsverläufe von VAUSP und VAUSN kreuzen, ändert sich die Schalterstellung der Schalter MNS1, MNS2 der nächsten Inverterdifferenzstufe, so daß sich die Laufzeit td jeder Inverterdifferenzstufe aus der folgenden Formel ergibt:

$$td = Reff \cdot Ceff \cdot \ln 2 \quad (2)$$

Dabei ist $Reff$ der Widerstand von Rp bzw. Rn und $Ceff$ entspricht den Kapazitäten CAUSN und CAUSP.
Die Frequenz f des Ringoszillators ergibt sich dann aus der folgenden Formel:

$$f = \frac{1}{2 \cdot n \cdot td} = \frac{1}{2 \cdot n \cdot Reff \cdot Ceff \cdot \ln 2} \quad (3)$$

Dabei ist n die Anzahl der Inverterdifferenzstufen des Ringoszillators.

Die Fig. 4 zeigt für zwei verschiedene Steuerspannungen VBP (1,75 V und 2,5 V), wie durch die beiden PMOS-FETs der "symmetrischen" Widerstände RP bzw. RN beim Durchlaufen der Spannungsdifferenz "Versorgungsspannung (Vdd) - VBP" während einer Schwingung der Ausgangsspannung einer Inverterstufe ein linearer Widerstand nachgebildet wird. Dabei verläuft die I/U-Charakteristik nicht linear, sondern punktsymmetrisch um einen Punkt ($VBP/2, Id$), der die den Ursprung und den Punkt ($VBP, 2Id$) der I/U-Kurve verbindende Gerade in der Mitte teilt. Dabei ergibt bei VBP, $2Id$ ein sogenannter effektiver Widerstand $Reff$, der den für die Oszillatorstufenschwingung wirksamen Widerstand beschreibt und sich nach der folgenden Gleichung berechnet:

$$Reff = nc \cdot RPMOS(VBP) \quad (4)$$

Dabei ist $RPMOS(VBP)$ der Widerstand, der sich aus der lokalen Steigung der I/U-Kurve am Punkt $VBP/2Id$ ergibt und nc ein Korrekturfaktor, der das Verhältnis zwischen $RPMOS$ (VBP) und $Reff$ beschreibt. Das Prinzip der "symmetrischen" Widerstände wird ebenfalls in Maneatis erläutert.

Damit das Prinzip der "symmetrischen" Widerstände funktioniert, muß die Invertervorspannungserzeugungsschaltung die Verspannung VBN der aus den NMOS-FETs MNIS gebildeten Stromquellen stets so einstellen, daß sich ein Inverterstufenstrom $2Id$ ergibt, der die untere Grenze des von der Ausgangsspannung der Inverterstufen durchlaufenden Spannungshubs auf VBP zwingt. D. h., daß der in der Fig. 4 eingezeichnete Schaltungspunkt 40 stets auf der vom Tiefpaßkondensator gelieferten Spannung Vc gehalten wird, die der zweiten von der Invertervorspannungserzeugungsschaltung gelieferten Steuerspannung VBP entspricht. Die Verzögerungszeit der Inverterdifferenzstufen läßt sich dann durch die angelegte Steuerspannung VBP einstellen, da sich der effektive Widerstand dann linear mit der Steuerspannung VBP ändert. Der Strom der Stromquelle MNIS wird dabei so eingestellt, daß die Ausgangsspannungshübe der Inverterdifferenzstufen mit der Steuerspannung VBP variieren, so daß die punktsymmetrische I/U-Charakteristik der Widerstände, die den gewünschten linearen Zusammenhang zwischen VBP und $Reff$ liefert, aufrechterhalten werden kann. Durch die symmetrischen Widerstände wird eine hohe Unabhängigkeit der Schaltung von Substratraschen und von Versorgungsspannungsschwankungen gewährleistet.

Maneatis beschreibt auch eine in der Fig. 5 dargestellte Inverterstufenvorspannungserzeugungsschaltung, die die Inverterstufenvorspannungen VBP und VBN erzeugt. Die Hauptfunktion der Inverterstufenvorspannungserzeugungsschaltung besteht dabei darin, die Vorspannung VBN der in der Fig. 3 als MNIS bezeichneten spannungsgesteuerten Stromquelle so einzustellen, daß die Stromquelle einen Inverterstufenstrom $2Id$ liefert, bei dem der Spannungshub der Oszillatorinverterstufen nach unten hin durch die Spannung Vc (= VBP) begrenzt wird, damit das oben beschriebene Prinzip der für die Oszillation der Inverterstufen wirksamen symmetrischen Widerstände überhaupt funktionieren kann. Diese Aufgabe übernimmt in der in der Fig. 5 dargestellten Inverterstufenvorspannungserzeugungsschaltung ein Differenzverstärker 50 (dem eine Verstärkervorspannungserzeugungsschaltung 52 vorgeschaltet ist) in Verbindung mit einer Kopie einer halben Inverterdifferenzstufe 54 des Ringoszillators. Der Differenzverstärker 50 stellt dabei VBN so ein, daß die Spannung am Schaltungspunkt 58 gleich der vom Tiefpaßfilterkondensator C gelieferten Steuerspannung Vc ist. Ändert sich z. B. die Versorgungsspannung Vdd, so reagiert der Differenzverstärker 50 darauf, so daß der Spannungshub der Inverterdifferenzstufen des Ringoszillators konstant gehalten wird, wodurch die Verzögerungszeit und damit die Frequenz des Ringoszillators unabhängig von Versorgungsspannungsschwankungen wird. Die Inverterstufenvorspannungserzeugungsschaltung liefert darüber hinaus über die Vc -Pufferstufe 56 eine "gepufferte" Kopie VBP der Tiefpaßkondensatorausgangsspannung Vc an ihrem zweiten Ausgang. Dabei besteht die Vc -Pufferstufe aus einer weiteren Kopie einer halben Inverterdifferenzstufe des Ringsoszillators, wobei hier lediglich auch der zweite PMOS des Widerstands eben-

DE 199 49 782 C 1

falls als Diode geschaltet ist. Da auch hier die Stromquelle durch die zweite Vorspannung gesteuert wird, liegt auch der die Drainanschlüsse der beiden PMOS-FETs verbindende Schaltungspunkt auf der Spannung V_c , so daß von dort eine der Spannung V_c entsprechende Spannung V_{BP} geliefert werden kann. Durch die V_c -Pufferstufe wird die vom Tiefpaßkondensator gelieferte Steuerspannung V_c kapazitiv von den Inverterstufen entkoppelt. Ferner soll die V_c -Pufferstufe in der PLL-Schaltung von Maneatis die Funktion des Widerstands des Tiefpasses übernehmen, was unten näher erläutert wird, jedoch Probleme mit sich bringt.

Ist k der Verstärkungsfaktor eines der PMOS-FETs und I_d der Drainstrom eines der PMOS-FETs, so ergibt sich für den effektiven Widerstand R_{eff} die folgende Beziehung:

$$10 \quad R_{eff} = \frac{nC}{\sqrt{2 \cdot k \cdot I_d}} \quad (5)$$

Mithilfe der MOS-Gleichung:

$$15 \quad I_d = \frac{k}{2} (V_s - V_{th})^2 \quad (6)$$

in der V_{th} die Schwellenspannung des MOS-FETs ist und einer definierten Gesamtkapazität C_b

$$20 \quad C_b = C_{eff} \cdot n \cdot 2 \quad (7)$$

ergibt sich dann der Verstärkungsfaktor K_0' des Ringszillators aus den Gleichungen 1b, 3, 5, 6 und 7 (und unter den Annahmen $nC = \text{konstant}$ sowie $k = \text{konstant}$):

$$25 \quad K_0' = \frac{k}{\ln 2 \cdot nC \cdot C_b} \quad (8)$$

Dabei sind nC und k und damit auch K_0' von V_c (d. h. der Betriebsfrequenz der PLL-Schaltung), dem Halbleiterherstellungsprozeß und der Umgebungstemperatur abhängig.

Um die vom Halbleiterherstellungsprozeß und von den Temperaturen abhängigen Schwankungen der Übertragungsfunktion des Regelkreises der PLL-Schaltung, der Dämpfung ζ und des Verhältnisses ω_n/ω_{ref} zwischen Eigenfrequenz ω_n und Betriebsfrequenz der PLL ω_{ref} zu verringern, hat Maneatis weiter vorgeschlagen, die Ladungspumpe der PLL-Schaltung ebenfalls gemäß den von halben Inverterdifferenzstufen des Ringszillators aufzubauen, so daß der Ladungspumpenstrom I_p in einem bestimmten Verhältnis x zum Strom $2 I_d$ der Stromquelle der Inverterdifferenzstufen steht, was die folgende Gleichung zum Ausdruck bringt:

$$Ip = 2 \cdot x \cdot Id \quad (9)$$

Darüber hinaus schlägt Maneatis aus den gleichen Gründen vor, den Widerstand des Tiefpaßfilters der PLL-Schaltung so zu wählen, daß sein Widerstandswert proportional zu dem Kehrwert aus der Wurzel des Inverterdifferenzstufenstroms $2 I_d$ (und damit des Ladungspumpenstrom I_p) ist. Zu diesem Zweck schlägt er vor, den Kondensator und den Widerstand des Tiefpaßfilters auf zwei getrennte Stromwege zu verteilen, was im folgenden anhand der Fig. 6 erläutert wird.

Die Fig. 6 zeigt links ein Tiefpaßfilter 60, das aus einer Reihenschaltung eines Widerstands R und eines Kondensators C besteht. Das Auf- bzw. Entladen des Kondensators erfolgt über die von den Phasendetektorausgangssignalen gesteuerte Ladungspumpe, die den Strom I_p liefert. Am Ausgang des Tiefpaßfilters ergibt sich die Spannung V_s , die der Summe der Spannungen am Widerstand R und am Kondensator C entspricht. Maneatis schlägt nun vor, die Spannungen am Kondensator C und am Widerstand R in zwei von gleichen (von den Phasendetektorausgangssignalen gesteuerten) Ladungspumpen gespeisten Strompfaden 62 und 64 getrennt zu erzeugen. Wird der zweite, den Widerstand R des Tiefpasses enthaltende Strompfad 64 dabei von einer spannungsgesteuerten Spannungsquelle 66 gesteuert, die eine Kopie der sich am Kondensator C des Strompfades 62 ergebenden Spannung erzeugt, so ergibt sich am Ausgang 68 des zweiten Strompfads 64 eine Spannung V_s , die der Ausgangsspannung des Tiefpaßfilters des Strompfads 60 entspricht.

Eine einfache Form, einen solchen Widerstand zu realisieren, besteht nach Maneatis darin, wiederum eine entsprechend einer halben Inverterdifferenzstufe des Ringszillators aufgebaute Schaltung, bei der beide PMOS-Transistoren als Dioden geschaltet sind, an den Ausgang der Inverterstufenvorspannungserzeugungsschaltung zu hängen, was in der Fig. 5 dargestellt ist (V_c -Pufferstufe). Die in der Fig. 5 am Ausgang der Inverterstufenvorspannungserzeugungsschaltung dargestellte V_c -Pufferstufe soll bei der von Maneatis beschriebenen PLL-Schaltung die Funktion des Widerstands des Tiefpaßfilters der PLL-Schaltung übernehmen.

Der Widerstand R des Tiefpasses steht in einem bestimmten Verhältnis y zu dem Widerstand der Oszillatorenverterstufen, was die folgende Gleichung zum Ausdruck bringt, in der $2 g_m$ der Leitwert der beiden PMOS-FETs der Inverterdifferenzstufe ist, wenn die Ausgangsspannung der Inverterdifferenzstufe V_{BP} entspricht:

$$R = \frac{Y}{2g_m} = \frac{Y}{2 \cdot \sqrt{2 \cdot k \cdot I_d}} \quad (10)$$

Fig. 7 zeigt schließlich die gesamte von Maneatis in der oben erwähnten Druckschrift vorgeschlagene PLL-Schaltung. Dabei kennzeichnet das Bezugszeichen 70 den den Kondensator C enthaltenden Zweig des Tiefpaßfilters der PLL-Schaltung, das Bezugszeichen 72 die Inverterstufenvorspannungserzeugungsschaltung, die die beiden Steuerspannungen V_{BP} und V_{BN} erzeugt und das Bezugszeichen 78 einen optionalen Frequenzteiler, der die Ausgangsfrequenz des VCOs, die

DE 199 49 782 C 1

hier durch die entsprechende Spannung V symbolisiert ist, durch den Faktor N teilt. VBN wird nicht nur zur Steuerung der Stromquellen der Inverterdifferenzstufen des VCOs 74 verwendet, sondern steuert auch die analog aufgebauten Stromquellen in den Ladungspumpen 1 und 2 (siehe die Pfeile 76 bzw. 77). Es handelt sich insgesamt daher um eine so genannte PLL mit selbst erzeugten Vorspannungen (engl.: self-biased PLL).

Maneatis hängt nun die zweite Ladungspumpe an den die Steuerspannung VBP abgebenden Ausgang der Inverterstufen vorspannungserzeugungsschaltung. Dadurch ergeben sich in dem in der Fig. 8 dargestellten und der Schaltung der Fig. 7 entsprechenden Regelungs-technischen mathematischen Wirkungsplan des Regelkreises der PLL-Schaltung zwei verschiedene Faktoren KBP und $K0$ für den Kondensator C des Tiefpasses bzw. den Widerstand R des Tiefpasses, wobei $K0$ durch die Gleichung (1)(a) und KBP durch die folgende Gleichung gegeben ist:

$$KBP = \frac{d\omega}{dVBP} \quad (11)$$

KBP entspricht dabei $K0$ (VBN = konstant; VBP variabel), d. h. $K0$ unter der Bedingung, daß VBN konstant gehalten wird. KBP variiert jedoch in starkem Maße in Abhängigkeit von der Frequenz f . Wie sich aus der nachfolgenden Herleitung ergibt, schwanken daher auch die Dämpfungsfaktoren und die Bandbreiten der von Maneatis vorgeschlagenen PLL-Schaltung sehr stark in Abhängigkeit von der Betriebsfrequenz, der Temperatur und den Halbleiterherstellungsprozeßbedingungen der Bauelemente der PLL-Schaltung (MOS-FETs).

Im übrigen sind in der Fig. 8:

$f0$ die Referenzfrequenz,

$Pref$ die Referenzphase,

$Psys$ die aktuelle Phase des Ausgangssignals der PLL-Schaltung,

dP die vom Phasendetektor ermittelte Phasendifferenz, d. h. $dP = Pref - Psys$,

Ip der Strom der Ladungspumpen 1 und 2, und

s der Laplace-Operator.

In der Laplace-Darstellung ergibt sich für das in der Fig. 8 dargestellte mathematische Regelkreismodell die folgende Gleichung:

$$(Pref(s) - Psys(s)) \cdot \frac{Ip}{2 \cdot \pi} \cdot \left(\frac{K0}{s \cdot C} + R \cdot KBP \right) \cdot \frac{1}{s} = Psys(s) \quad (12)$$

Ferner werden die Gleichungen (9) und (10) im folgenden benötigt.

Mithilfe der Übertragungsfunktion $H(s)$ des Regelkreises

$$H(s) = \frac{Psys(s)}{Pref(s)} \quad (13)$$

und der Gleichung für ein PLL-System 2. Ordnung:

$$H(s) = \frac{2 \cdot \zeta \cdot \omega_n \cdot s + \omega_n^2}{s^2 + 2 \cdot \zeta \cdot \omega_n \cdot s + \omega_n^2} \quad (14)$$

ergibt sich unter Zuhilfenahme der obigen Gleichungen für den das Einschwingverhalten des Regelkreises kennzeichnenden Dämpfungsfaktor ζ die folgende Beziehung:

$$\zeta = \frac{y}{4} \sqrt{\frac{x \cdot C \cdot KBP^2}{2 \cdot \pi \cdot K0 \cdot k}} \quad (15)$$

Wie man sieht, hängt der Dämpfungsfaktor ζ stark vom Faktor KBP ab, der wiederum von der Frequenz abhängig ist.

Die folgenden Tabellen 1 und 2 zeigen simulierte Werte für den Dämpfungsfaktor ζ bei verschiedenen Prozeßbedingungen (abgekürzt: Prozeß) der MOS-Transistoren und verschiedene Temperaturen bei einer Betriebsfrequenz von 66 MHz (Tab. 1) bzw. 200 MHz (Tab. 2). Dabei wurden jeweils $C = 2,500 \cdot 10^{-10}$ F, $x = 0,67$ und $y = 1,72$ gewählt.

DE 199 49 782 C 1

Tabelle 1

Prozeß	gut	gut	schlecht	schlecht
Temperatur	0 °C	85 °C	0 °C	85 °C
Frequenz	66 MHz	66 MHz	66 MHz	66 MHz
VBP/V	-0,88	-0,85	-0,966	-0,936
Id/µA	23,5	22,9	27,3	27,0
gm/Ω⁻¹	2,12 E-04	1,71 E-04	2,01 E-04	1,63 E-04
KBP MHz/V	130	108	120	97
KO' MHz/V	720	540	510	380
k/ A/V²	9,56 E-04	6,38 E-04	7,40 E-04	4,92 E-04
ζ	0,87	1,02	1,09	1,25

Tabelle 2

Prozeß	gut	gut	schlecht	schlecht
Temperatur	0 °C	85 °C	0 °C	85 °C
Frequenz	200 MHz	200 MHz	200 MHz	200 MHz
VBP/V	-1,071	-1,105	-1,229	-1,291
Id/µA	82,5	88,8	104	115
gm/Ω⁻¹	3,87 E-04	3,31 E-04	3,70 E-04	3,22 E-04
KBP MHz/V	268	194	184	161
KO' MHz/V	720	540	510	380
k/ A/V²	9,08 E-04	6,17 E-04	6,56 E-04	4,50 E-04
ζ	1,84	1,87	1,77	2,17

Wie sich aus den Tabellen 1 und 2 ergibt, bleibt der Dämpfungsfaktor ζ bei den verschiedenen Ausgangsbedingungen (Bedingungen des Halbleiterherstellungsprozesses, Temperatur, Frequenz) nicht konstant, sondern verdreifacht sich fast zwischen den beiden extremen Zuständen (guter Prozeß, 0°C, 66 MHz) bzw. (schlechter Prozeß, 85°C, 200 MHz) von 0,87 auf 2,17.

Die Aufgabe der vorliegenden Erfindung liegt daher darin, eine neue PLL-Schaltung zu schaffen, die gegenüber der von Maneatis entwickelten und oben beschriebenen PLL-Schaltung so verbessert ist, daß ein gegenüber Schwankungen des Halbleiterherstellungsprozesses der Bauelemente der PLL-Schaltung, der Temperatur und der Betriebsfrequenz stabiler Dämpfungsfaktor ζ resultiert.

Diese Aufgabe wird gelöst durch eine PLL-Schaltung mit

- einem Phasendetektor, der die Phasenlage eines PLL-Ausgangssignals mit derjenigen eines Referenzsignals vergleicht und ein Fehlersignal ausgibt, das der Phasenverschiebung zwischen dem PLL-Ausgangssignal und dem Referenzsignal entspricht;
- einer mit dem Phasendetektor verbundenen ersten Ladungspumpschaltung, die im Ansprechen auf das Fehlersignal einem mit der ersten Ladungspumpschaltung verbundenen Tiefpaßfilter Ladung zuführt oder entzieht, so daß

das Tiefpaßfilter eine der Phasenverschiebung entsprechende Steuerspannung erzeugt;

– einem ein PLL-Ausgangssignal liefernden spannungsgesteuerten Ringoszillator mit mehreren Inverterdifferenzstufen, die jeweils zwei Differenzpfade (= halbe Inverterstufen) umfassen, die jeweils einen durch einen oder mehrere Transistoren nachgebildeten Widerstand, der durch eine der Steuerspannung entsprechende erste Vorspannung gesteuert wird, eine Ausgangskapazität, einen Differenzeingang und einen Differenzausgang umfassen, wobei beide Differenzpfade von einer gemeinsamen Stromquelle gespeist werden, die von einer zweiten Vorspannung gesteuert wird; und

– einer Inverterstufenvorspannungserzeugungsschaltung, die die Steuerspannung des Tiefpaßfilters empfängt und daraus die zweite Vorspannung derart erzeugt, daß der Strom der Stromquelle der Inverterstufen jeweils so eingestellt wird, daß der nachgebildete Widerstand linear mit der Steuerspannung variiert; wobei der die erste Vorspannung liefernde Ausgang der Inverterstufenvorspannungserzeugungsschaltung einen Innenwiderstand aufweist, der sich entsprechend dem Widerstand der halben Inverterstufen verhält; und

– wobei das Tiefpaßfilter einen mit der ersten Ladungspumpschaltung verbundenen Tiefpaßkondensator und eine das Ausgangssignal des Tiefpaßkondensators empfangende weitere Schaltung umfaßt, die der

5

10

15

20

25

30

35

40

45

50

55

60

65

Inverterstufenvorspannungserzeugungsschaltung im Aufbau entspricht, wobei der Innenwiderstand des die erste Vorspannung liefernden Ausgangs der weiteren Schaltung den Tiefpaßfilterwiderstand bildet und dieser Ausgang mit einer der ersten Ladungspumpschaltung entsprechenden und von dem Phasendetektor gesteuerten zweiten Ladungspumpschaltung und dem Eingang der Inverterstufenvorspannungserzeugungsschaltung verbunden ist.

Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen gekennzeichnet.

Der verbesserte Dämpfungsfaktor ζ wird bei der Erfindung dadurch erzielt, daß das Tiefpaßfilter der PLL-Schaltung gegenüber der von Maneatis beschriebenen PLL-Schaltung in besserer Weise durch zwei Ladungspumpen, einen Kondensator und eine weitere, der Inverterstufenvorspannungserzeugungsschaltung entsprechende Schaltung modelliert wird.

Die Erfindung wird nun anhand der Zeichnungen beispielshalber erläutert. In den Zeichnungen zeigen:

Fig. 1 ein Blockschaltbild einer im Stand der Technik bekannten PLL-Schaltung;

Fig. 2 ein Schaltbild eines im Stand der Technik bekannten und bei einer bekannten PLL-Schaltung verwendeten Ringoszillators mit einer Ringoszillatorinverterstufenvorspannungserzeugungsschaltung;

Fig. 3 eine im Stand der Technik bekannte und bei einem bekannten Ringoszillator verwendete Inverterdifferenzstufe;

Fig. 4 I/U-Charakteristiken, der sich bei der in der Fig. 3 dargestellten Inverterdifferenzstufe während der Schwingung der Inverterdifferenzstufe ergebenden symmetrischen Widerstände;

Fig. 5 eine im Stand der Technik bekannte und in Verbindung mit der in der Fig. 3 dargestellten Inverterdifferenzstufe verwendete Inverterstufenvorspannungserzeugungsschaltung;

Fig. 6 mehrere Darstellungen von Schaltungszweigen, die ein im Stand der Technik bekanntes Prinzip der Simulation eines bei einer bekannten PLL-Schaltung verwendeten Tiefpaßfilters durch zwei separate Strompfade mit einem Kondensator bzw. einem Widerstand und jeweils eigenen Ladungspumpen 1 bzw. 2 zeigen;

Fig. 7 ein Blockschaltbild, das eine im Stand der Technik bekannte PLL-Schaltung darstellt, bei der die in der Fig. 5 dargestellte Inverterstufenvorspannungserzeugungsschaltung verwendet wird;

Fig. 8 ein mathematisches Regelkreismodell der in der Fig. 7 dargestellten bekannten PLL-Schaltung;

Fig. 9 ein Blockschaltbild einer bevorzugten Ausführungsform einer erfindungsgemäßen PLL-Schaltung;

Fig. 10 ein mathematisches Regelkreismodell der in dem Blockschaltbild der Fig. 9 dargestellten PLL-Schaltung.

Die Fig. 1 bis 8 zeigen im Stand der Technik bekannte Aspekte einer PLL-Schaltung, die in der Beschreibungseinleitung erläutert sind.

Die Fig. 9 zeigt eine bevorzugte Ausführungsform einer erfindungsgemäßen PLL-Schaltung. Der Schaltungsaufbau der erfindungsgemäßen PLL-Schaltung ähnelt dem der eingangs beschriebenen PLL-Schaltung von Maneatis, wobei die Unterschiede durch den gestrichelten Kasten um die Schaltungselemente 92 und 94 angedeutet sind.

Ein Phasendetektor 90 vergleicht die Phasenlage eines eine bestimmte Frequenz f aufweisenden PLL-Ausgangssignals, das hier durch die Spannung V symbolisiert ist, mit derjenigen eines Referenzsignals V_0 , das eine Referenzfrequenz f_0 symbolisiert, und gibt Fehlersignale AUF und AB aus, durch die die Ladungspumpen 91 und 92 so aktiviert werden, daß sie Ladung liefern oder entziehen. Die Ladungspumpen 91 und 92 bilden zusammen die Ladungspumpe eines Tiefpaßfilters der weiter unten beschrieben wird.

Der VCO der erfindungsgemäßen PLL-Schaltung ist ein Ringoszillator entsprechend der Fig. 2, dessen einzelne Inverterdifferenzstufen entsprechend dem in der Fig. 3 dargestellten und oben beschriebenen Schaltplan aufgebaut sind, d. h. Inverterdifferenzstufen, die 2 jeweils aus 2 PMOS-FETs aufgebaute "symmetrische" Widerstände enthalten und durch zwei Vorspannungen VBP und VBN gesteuert werden, wobei die erste Vorspannung VBP den Gateanschlüssen der beiden nicht als Diode geschalteten PMOS-FETs einer Inverterdifferenzstufe zugeführt wird und die zweite Vorspannung VBN die Stromquelle MNIS der Inverterdifferenzstufen steuert. Für die Einzelheiten wird auf die Beschreibungen einleitung verwiesen.

Die erfindungsgemäße und in der Fig. 9 dargestellte PLL-Schaltung enthält darüber hinaus eine Inverterstufenvorspannungserzeugungsschaltung 95, die die beiden Vorspannungen VBN und VBP erzeugt und an die einzelnen Inverterdifferenzstufen des Ringoszillators 96 weiterleitet. Die Inverterstufenvorspannungserzeugungsschaltung 95 ist bevorzugt entsprechend der in der Fig. 5 dargestellten und oben beschriebenen bekannten Inverterstufenvorspannungserzeugungsschaltung aufgebaut.

Optional kann die erfindungsgemäße PLL-Schaltung einen Frequenzteiler 97 enthalten, der die vom VCO gelieferte Ausgangsfrequenz durch einen geeigneten Faktor $1/N$ teilt. Im folgenden wird der Einfachheit halber davon ausgegangen, daß $N = 1$ ist.

Die in der Fig. 9 dargestellten Schaltungselemente 91, 92, 93 und 94 simulieren das Tiefpaßfilter und den dazugehörigen Ladungspumpmechanismus der erfindungsgemäßen PLL-Schaltung. Dabei wird der links in der Fig. 6 dargestellte

DE 199 49 782 C 1

Tiepaß 60, der aus einer Reihenschaltung aus einem Widerstand R und einem Kondensator C besteht, an der eine Ladungspumpe mit einem Strom Ip hängt, durch zwei getrennte Stromzweige 62 und 64 modelliert. Den ersten Stromzweig 62 bilden der Tiepaßkondensator C, der in der Fig. 9 das Bezugszeichen 93 trägt, und die an diesem hängende und von dem Phasendetektor 90 gesteuerte Ladungspumpe 1. Der zweite Stromzweig 64 empfängt die am Kondensator 93 liegende Spannung (siehe die in der Fig. 6 mit dem Bezugszeichen 66 bezeichnete spannungsgesteuerte Stromquelle) und umfaßt einen Tiepaßwiderstand R, der gemäß der in der Fig. 9 dargestellten erfundungsgemäßen PLL-Schaltung durch eine Schaltung 94 modelliert wird, die in ihrem Aufbau mit der Inverterstufenvorspannungserzeugungsschaltung 95 (siehe hierzu die Fig. 5) übereinstimmt, wobei an dem Ausgang der Schaltung 94, an dem die Spannung VBP erzeugt wird, eine zweite Ladungspumpe 2 hängt, deren Strom dem der Ladungspumpe 1 entspricht. Beide Ladungspumpen bestehen, wie oben in Verbindung mit der Schaltung von Maneatis beschrieben, aus halben Inverterstufen des Ringoszillators 96, wobei die Stromquellen der Ladungspumpen durch die von der Interterstufenvorspannungserzeugungsschaltung 95 erzeugte Steuerspannung VBN gesteuert werden.

Der zweite, eine zweite Vorspannung VBN liefernde Ausgang der der Inverterstufenvorspannungserzeugungsschaltung entsprechenden Schaltung 94 wird nicht benutzt. Um die Abhängigkeiten der Bauelemente von dem Halbleiterherstellungsprozeß in gleicher Weise zu berücksichtigen, sollte die Schaltung 94 mit der Inverterstufenvorspannungserzeugungsschaltung 95 identisch sein.

In der Fig. 10 ist ein mathematisches Regelkreismodell der in der Fig. 9 dargestellten erfundungsgemäßen PLL-Schaltung dargestellt, anhand dem die Wirkung der zweiten, der Inverterstufenvorspannungserzeugungsschaltung entsprechenden Schaltung 94 in Verbindung mit der zweiten Ladungspumpe 92 auf den Dämpfungsfaktor ζ der erfundungsgemäßen PLL-Schaltung erläutert werden soll.

Die in der Fig. 10 gewählten Bezeichnungen sind in Entsprechung zu den in der Fig. 8 gewählten und oben erläuterten Bezeichnungen gewählt worden und werden daher im einzelnen nicht erneut erläutert. Im Gegensatz zur Fig. 8 wirkt jetzt sowohl auf den Tiepaßkondensator C als auf den Tiepaßwiderstand R der gleiche Faktor K0 (siehe Gleichung (1) (a)).

25 In der Laplace-Darstellung ergibt sich für das in der Fig. 10 dargestellte mathematische Regelkreismodell dann die folgende Gleichung:

$$(Pref(s) - Psys(s)) \cdot \frac{Ip}{2 \cdot \pi} \cdot \left(\frac{K0}{s \cdot C} + R \cdot K0 \right) \cdot \frac{1}{s} = Psys(s) \quad (16)$$

30 Daraus ergibt sich unter Zuhilfenahme der obigen Gleichungen 9, 10, 13 und 14 der Dämpfungsfaktor ζ der PLL-Schaltung:

$$35 \quad \zeta = \frac{y}{4} \sqrt{\frac{x \cdot c \cdot k0}{2 \cdot \pi \cdot k}} \quad (17)$$

Dabei hängt der Dämpfungsfaktor im wesentlichen nur noch von K0 und k ab. Wählt man z. B. C = 2,300 E-10; x = 0,67; y = 0,4, so ergeben sich aus den nachstehenden Tabellen 3 und 4 bei unterschiedlichen Temperaturen, unterschiedlichen Betriebsfrequenzen und unterschiedlichen guten Bedingungen des Halbleiterherstellungsprozesses (in den Tabellen mit "Prozeß" abgekürzt) der Bauelemente der PLL-Schaltung (MOS-FETs) Dämpfungsfaktoren ζ , die nahezu konstant sind. Die Schwankung der Dämpfungsfaktoren liegt bei ca. 10%, was eine erhebliche Verbesserung gegenüber dem Stand der Technik (Maneatis, siehe die Tabellen 1 und 2 oben) darstellt, bei dem sich bei ähnlichen Verhältnissen eine Schwankung von fast 300% ergab.

45

Tabelle 3

Prozeß	gut	gut	schlecht	schlecht
Temperatur	0°C	85°C	0°C	85°C
Frequenz	66 MHz	66 MHz	66 MHz	66 MHz
VBP/V	-0,927	-0,907	-1,027	-1,011
Id/µA	34,8	33,9	41,0	40,7
gm/Ω⁻¹	2,59 E-04	2,10 E-04	2,44 E-04	1,99 E-04
K0' MHz/V	538	401	384	293
k/ A/V²	9,68 E-04	6,47 E-04	7,27 E-04	4,88 E-04
ζ	0,93	0,98	0,90	0,96

Tabelle 4

Prozeß	gut	gut	schlecht	schlecht	
Temperatur	0 °C	85 °C	0 °C	85 °C	5
Frequenz	200 MHz	200 MHz	200 MHz	200 MHz	
					10
VBP/V	-1,176	-1,242	-1,375	-1,475	
Id/µA	128	141	165	183	
gm/Ω⁻¹	4,67 E-04	4,06 E-04	4,48 E-04	3,94 E-04	15
K0' MHz/V	538	401	384	293	
k/ A/V²	8,50 E-04	5,86 E-04	6,07 E-04	4,25 E-04	20
ζ	0,99	1,03	0,99	1,03	

Für den Fachmann ist klar, daß die erfindungsgemäße PLL-Schaltung natürlich in ihren Komponenten auch von der in der Fig. 9 dargestellten und oben beschriebenen Schaltung abweichen kann, ohne daß von dem erfindungsgemäßen Prinzip abgewichen wird.

So kann die Inverterdifferenzstufe des Ringoszillators von der bei Maneatis dargestellten abweichen. Es muß sich nur um eine Inverterdifferenzstufe handeln, die einen durch einen oder mehrere Transistoren nachgebildeten Widerstand, der durch eine erste Vorspannung gesteuert wird, eine Ausgangskapazität, einen Differenzeingang und einen Differenzausgang umfaßt, wobei beide Differenzpfade von einer gemeinsamen Stromquelle gespeist werden, die von einer zweiten Vorspannung gesteuert wird.

Auch die Inverterstufenvorspannungserzeugungsschaltung kann natürlich von der in der Fig. 5 dargestellten Form abweichen. Es genügt eine Schaltung, die die Steuerspannung des Tiefpaßfilters empfängt und daraus die zweite Vorspannung derart erzeugt, daß der Strom der Stromquelle der Inverterstufen jeweils so eingestellt wird, daß der durch die Transistoren nachgebildete Widerstand linear mit der Steuerspannung variiert, so daß sich ein linearer Zusammenhang zwischen Verzögerungszeit des Inverters und der Steuerspannung ergibt. Der die erste Vorspannung liefernde Ausgang der Inverterstufenvorspannungserzeugungsschaltung muß einen Innenwiderstand aufweisen, der sich entsprechend dem Widerstand der halben Inverterstufen verhält.

Patentansprüche

1. PLL-Schaltung mit

- einem Phasendetektor (90), der die Phasenlage eines PLL-Ausgangssignals mit derjenigen eines Referenzsignals vergleicht und ein Fehlersignal ausgibt, das der Phasenverschiebung zwischen dem PLL-Ausgangssignal und dem Referenzsignal entspricht;
- einer mit dem Phasendetektor (90) verbundenen ersten Ladungspumpschaltung (91), die im Ansprechen auf das Fehlersignal einem mit der ersten Ladungspumpschaltung (91) verbundenen Tiefpaßfilter (93, 94, 92) Ladung zuführt oder entzieht, so daß das Tiefpaßfilter (93, 94, 92) eine der Phasenverschiebung entsprechende Steuerspannung erzeugt;
- einem ein PLL-Ausgangssignal liefernden spannungsgesteuerten Ringoszillator (96) mit mehreren Inverterdifferenzstufen (22, 24, 26), die jeweils zwei Differenzpfade (= halbe Inverterstufen) umfassen, die jeweils einen durch einen oder mehrere Transistoren nachgebildeten Widerstand (RP, RN), der durch eine der Steuerspannung entsprechende erste Vorspannung (VBP) gesteuert wird, eine Ausgangskapazität, einen Differenzeingang und einen Differenzausgang umfassen, wobei beide Differenzpfade von einer gemeinsamen Stromquelle gespeist werden, die von einer zweiten Vorspannung (VBN) gesteuert wird; und
- einer Inverterstufenvorspannungserzeugungsschaltung (95), die die Steuerspannung des Tiefpaßfilters (93, 94, 92) empfängt und daraus die zweite Vorspannung derart erzeugt, daß der Strom der Stromquelle der Inverterstufen (22, 24, 26) jeweils so eingestellt wird, daß der nachgebildete Widerstand linear mit der Steuerspannung variiert; wobei der die erste Vorspannung liefernde Ausgang der Inverterstufenvorspannungserzeugungsschaltung (95) einen Innenwiderstand aufweist, der sich entsprechend dem Widerstand der halben Inverterstufen verhält; und
- wobei das Tiefpaßfilter (93, 94, 92) einen mit der ersten Ladungspumpschaltung (91) verbundenen Tiefpaßkondensator (93) und eine das Ausgangssignal des Tiefpaßkondensators (93) empfangende weitere Schaltung (94) umfaßt, die der Inverterstufenvorspannungserzeugungsschaltung (95) im Aufbau entspricht, wobei der Innenwiderstand des die erste Vorspannung liefernden Ausgangs der weiteren Schaltung den Tiefpaßfilterwiderstand (R) bildet und dieser Ausgang mit einer der ersten Ladungspumpschaltung (91) entsprechenden und von dem Phasendetektor (90) gesteuerten zweiten Ladungspumpschaltung (92) und dem Eingang der Inverterstu-

DE 199 49 782 C 1

- fenvorspannungserzeugungsschaltung (95) verbunden ist.
2. PLL-Schaltung nach Anspruch 1, bei der sich der Innenwiderstand des die erste Vorspannung (VBP) liefernden Ausgangs der Inverterstufenvorspannungserzeugungsschaltung (94) in bezug auf seine durch seinen Herstellungsprozeß und Temperatureinflüsse bedingten Eigenschaften wie der Widerstand der halben Inverterstufen verhält.
- 5 3. PLL-Schaltung nach Anspruch 1 oder 2, bei der die Inverterstufenvorspannungserzeugungsschaltung (95) die zweite Vorspannung (VBN) mittels eines Differenzverstärkers und einer Kopie einer halben Inverterstufe erzeugt.
4. PLL-Schaltung nach Anspruch 3, bei der die Inverterstufenvorspannungserzeugungsschaltung (95) ausgangsseitig eine weitere Kopie einer halben Inverterstufe umfaßt, deren durch einen oder mehrere Transistoren nachgebildeter Widerstand den Innenwiderstand des die erste Vorspannung liefernden Ausgangs der Inverterstufenvorspannungserzeugungsschaltung bildet.
- 10 5. PLL-Schaltung nach einem der vorhergehenden Ansprüche, bei der die durch Transistoren nachgebildeten Widerstände (RP, RN) jeweils aus zwei PMOS-FETs (MPR1, MPR2; MPR3, MPR4) bestehen, von denen einer (MPR1, MPR3) als Diode geschaltet ist, während der andere (MPR2, MPR4) an seinem Gateanschluß die erste Vorspannung empfängt.
- 15 6. PLL-Schaltung nach einem der vorhergehenden Ansprüche, bei der die erste Ladungspumpschaltung (91) und die zweite Ladungspumpschaltung (92) jeweils aus halben Inverterstufen bestehen, deren Stromquellen von der zweiten Vorspannung (VBN) gesteuert werden.

Hierzu 10 Seite(n) Zeichnungen

20

25

30

35

40

45

50

55

60

65

Fig. 1
(Stand der Technik)

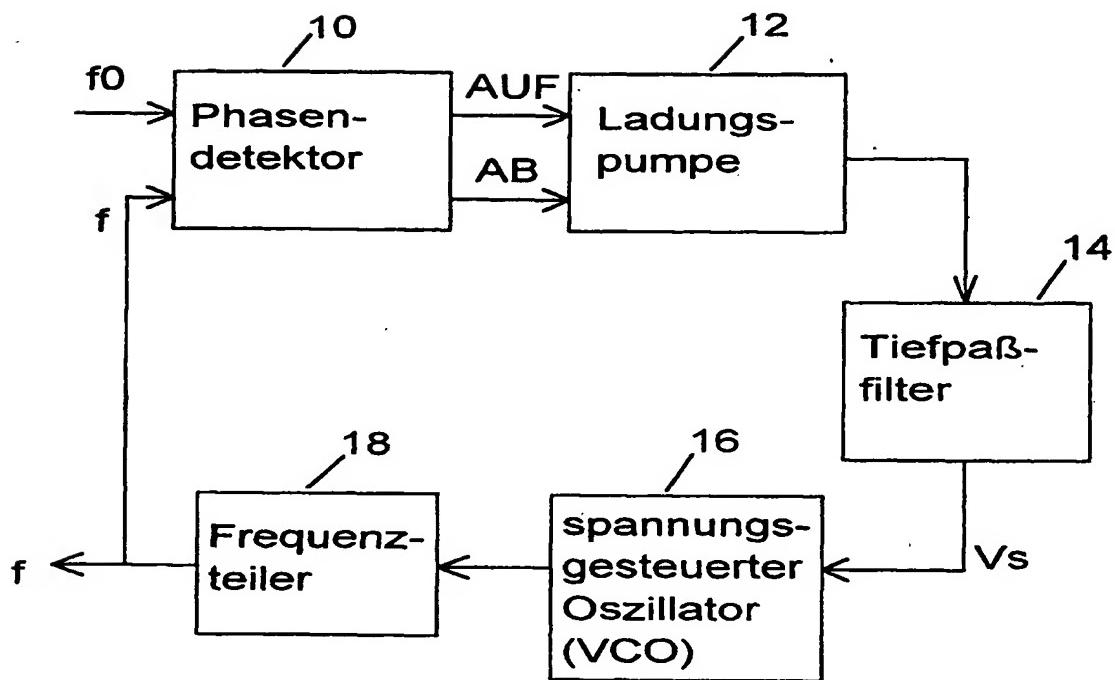


Fig. 2
(Stand der Technik)

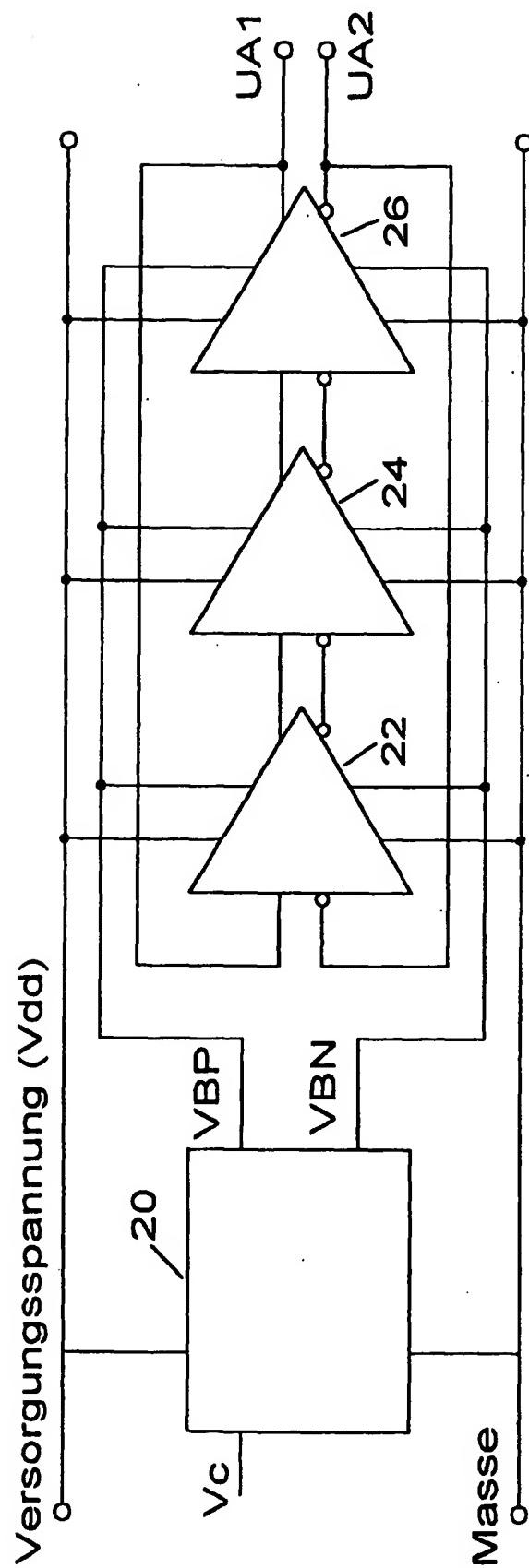


Fig. 3
(Stand der Technik)

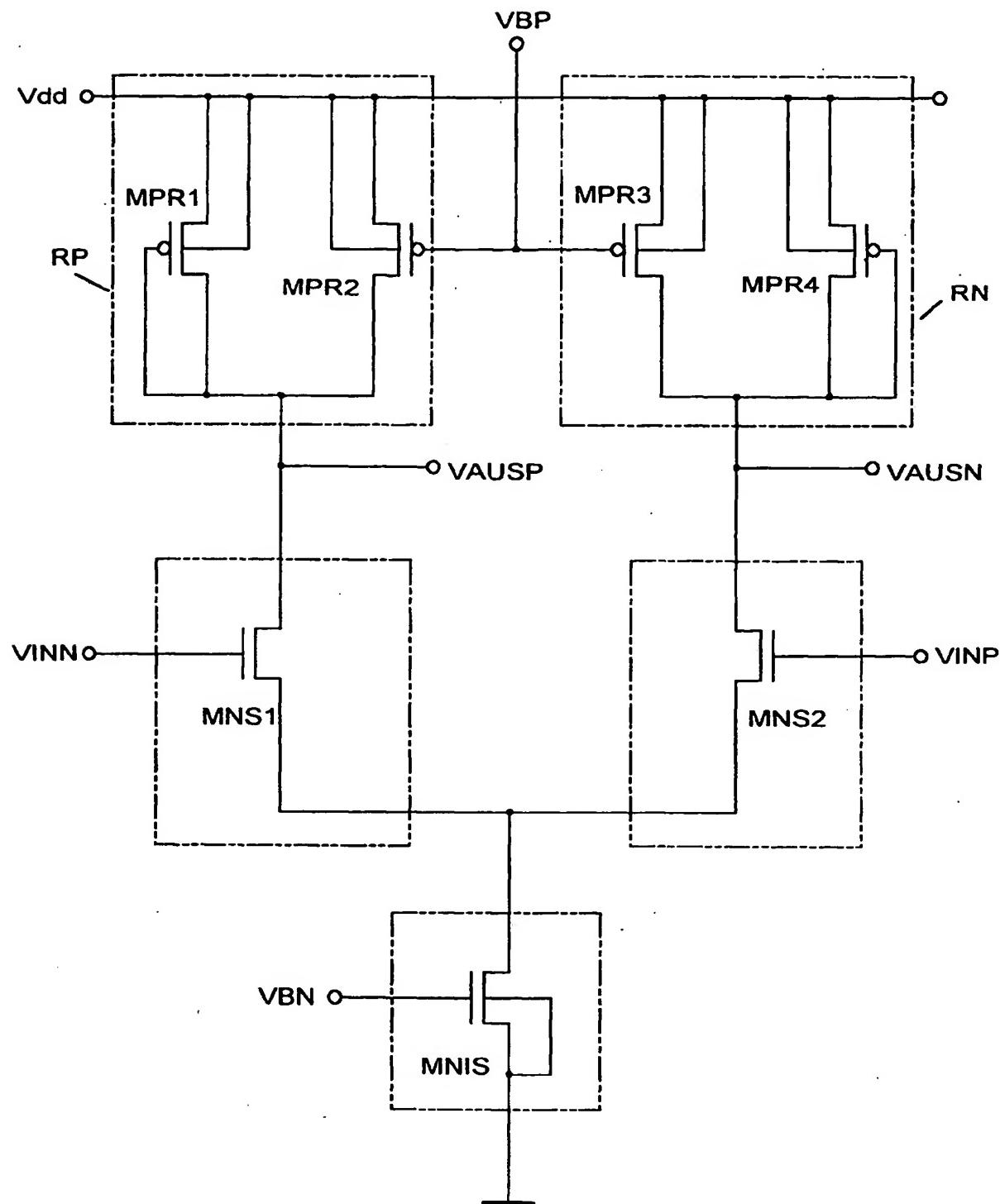
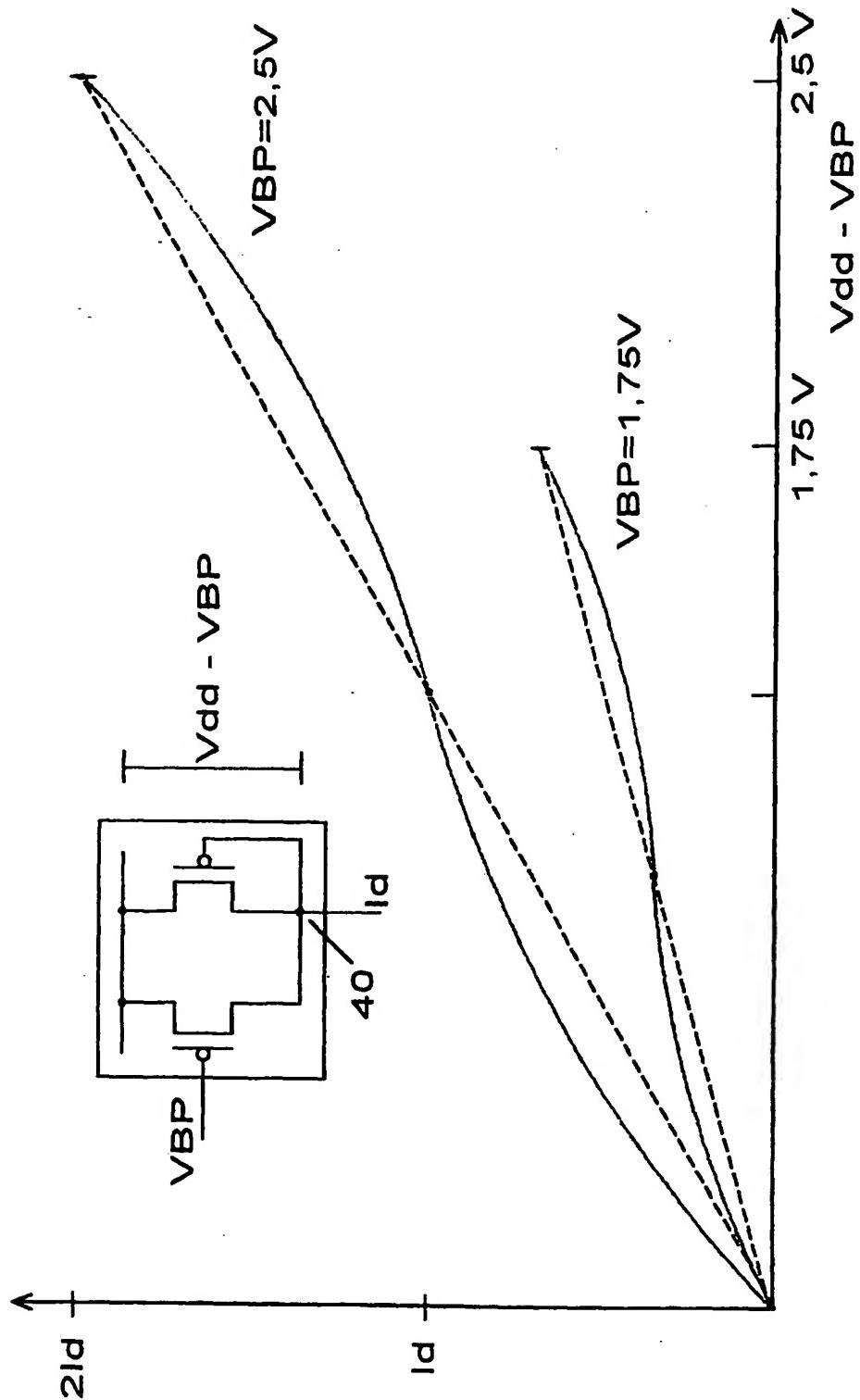


Fig. 4
(Stand der Technik)



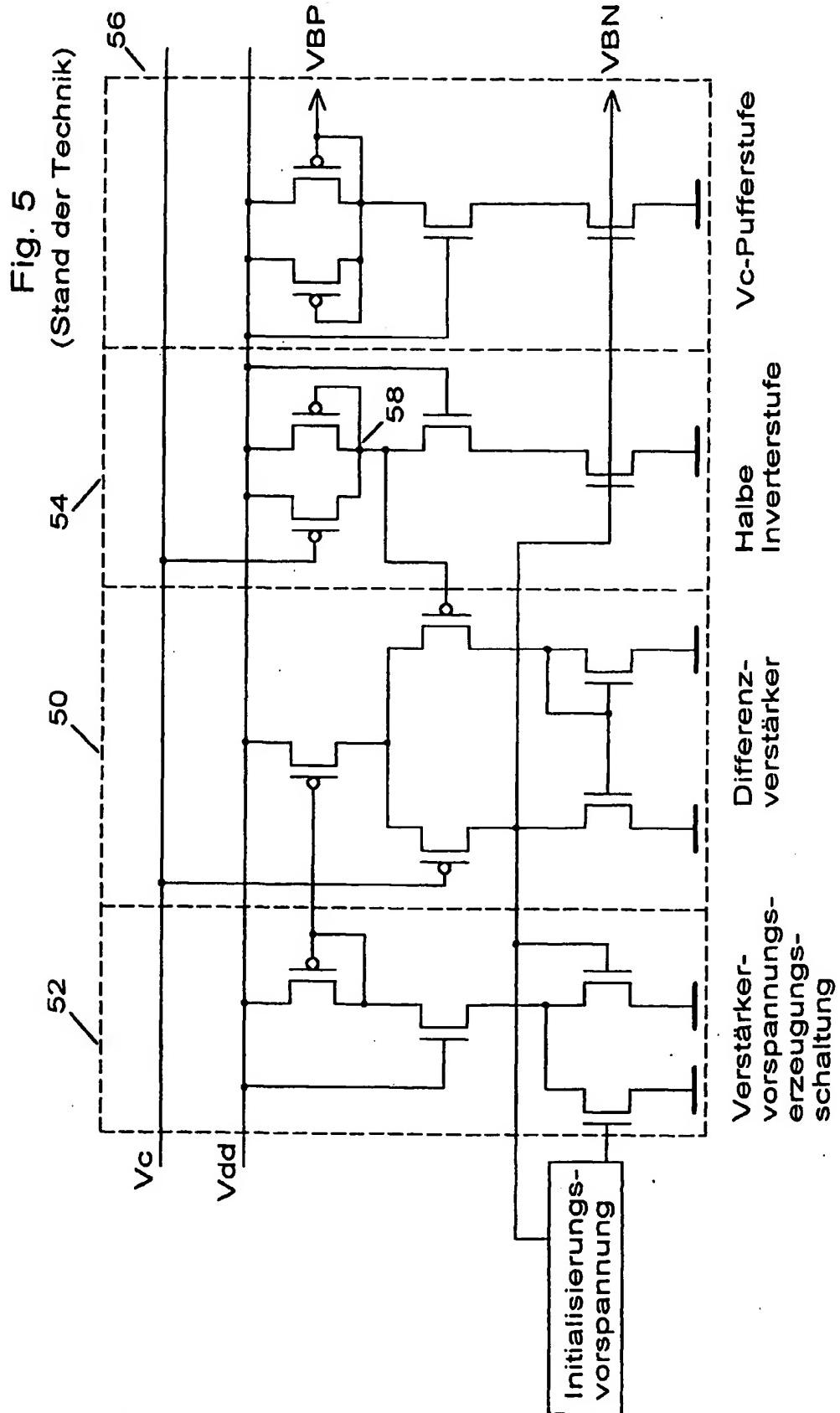


Fig. 6

(Stand der Technik)

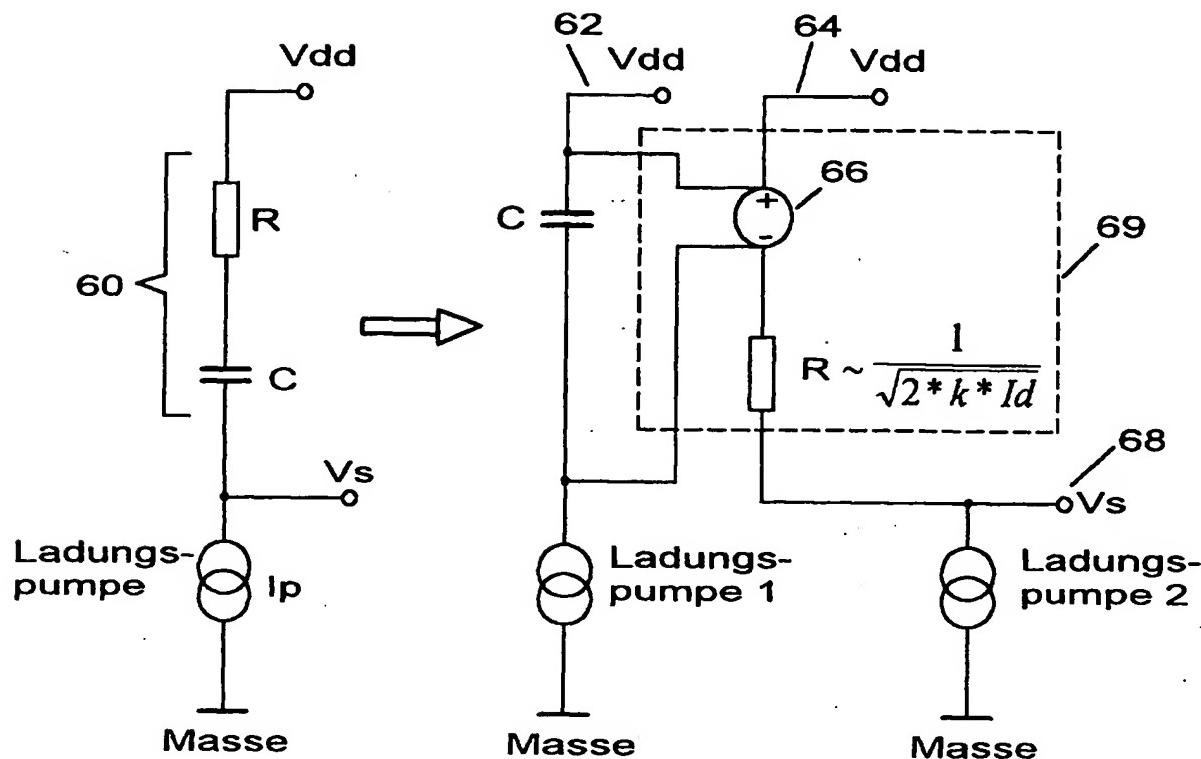


Fig. 7
(Stand der Technik)

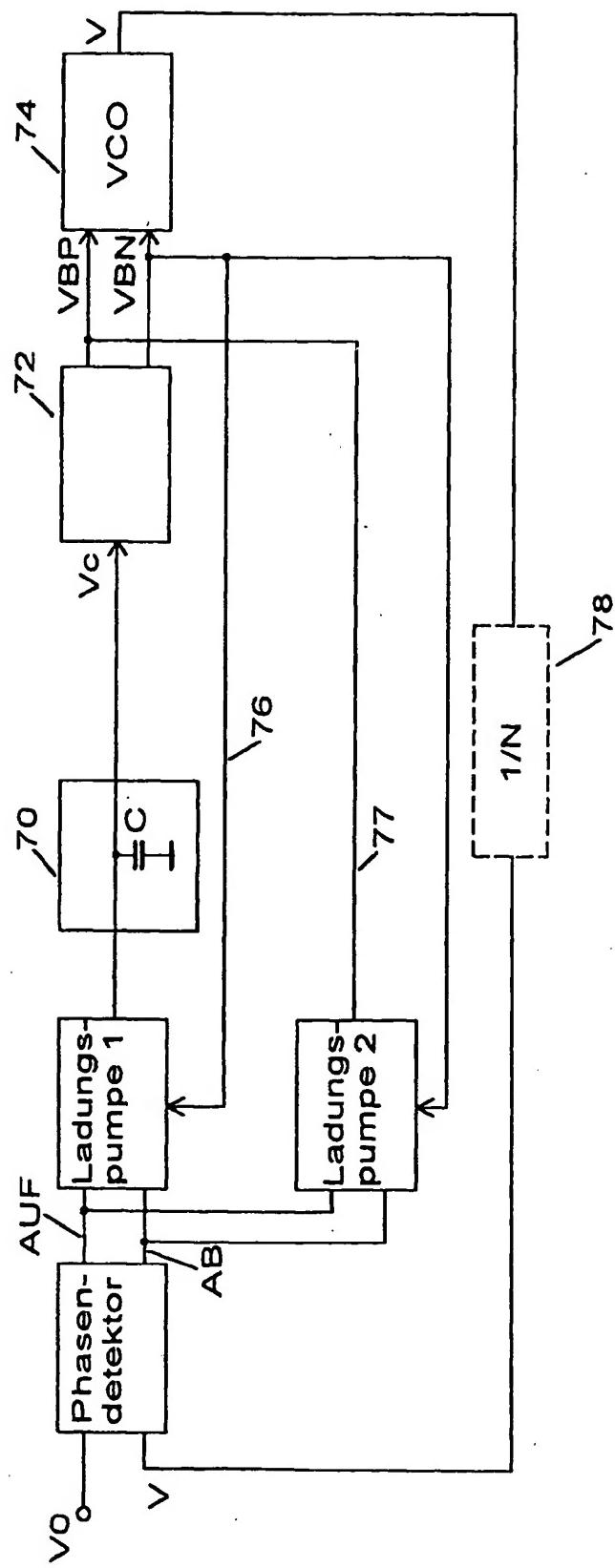


Fig. 8

(Stand der Technik)

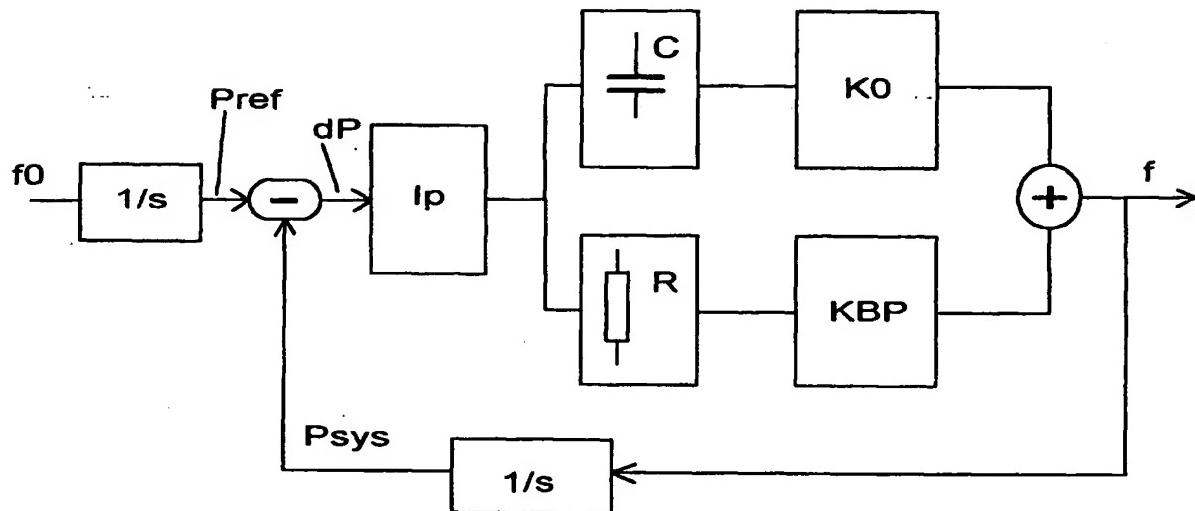


Fig. 9

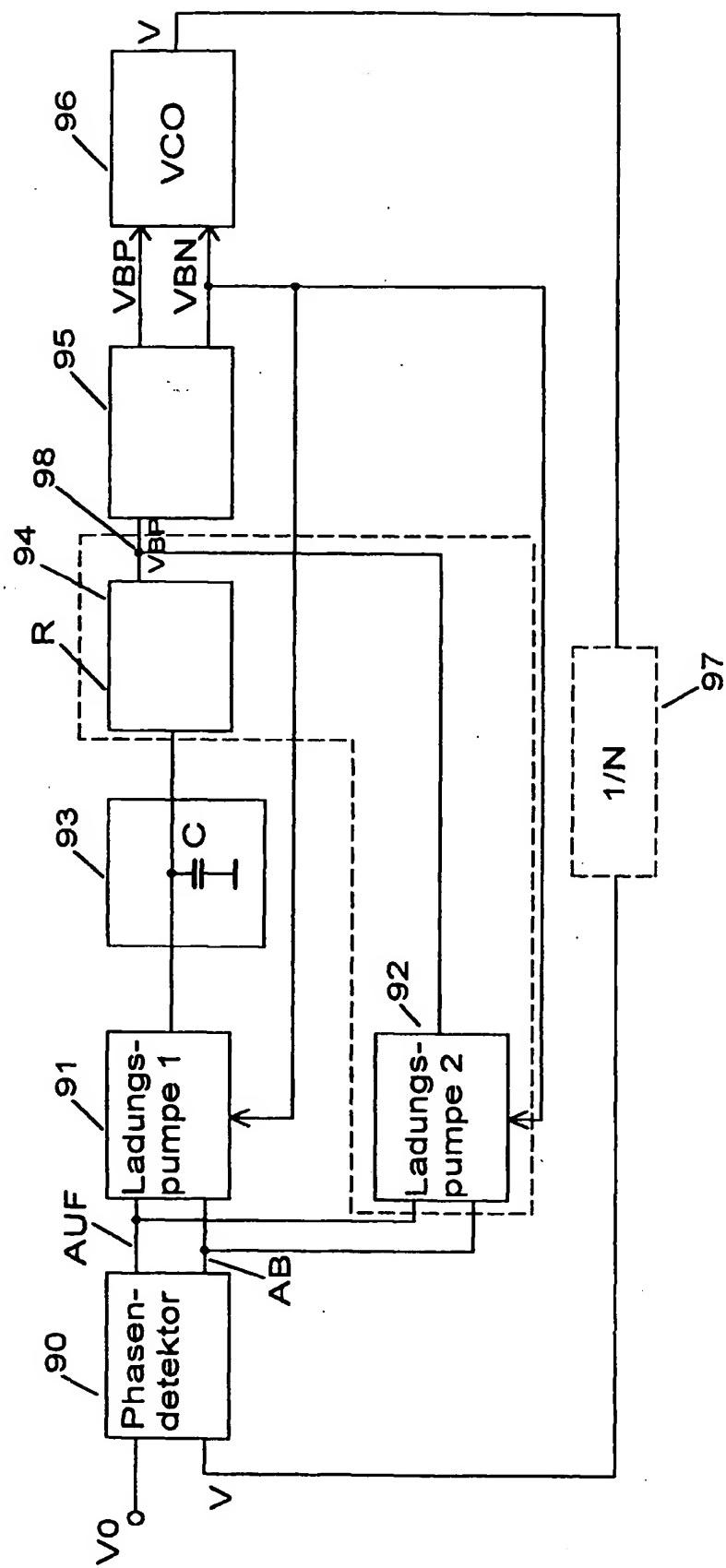


Fig. 10

